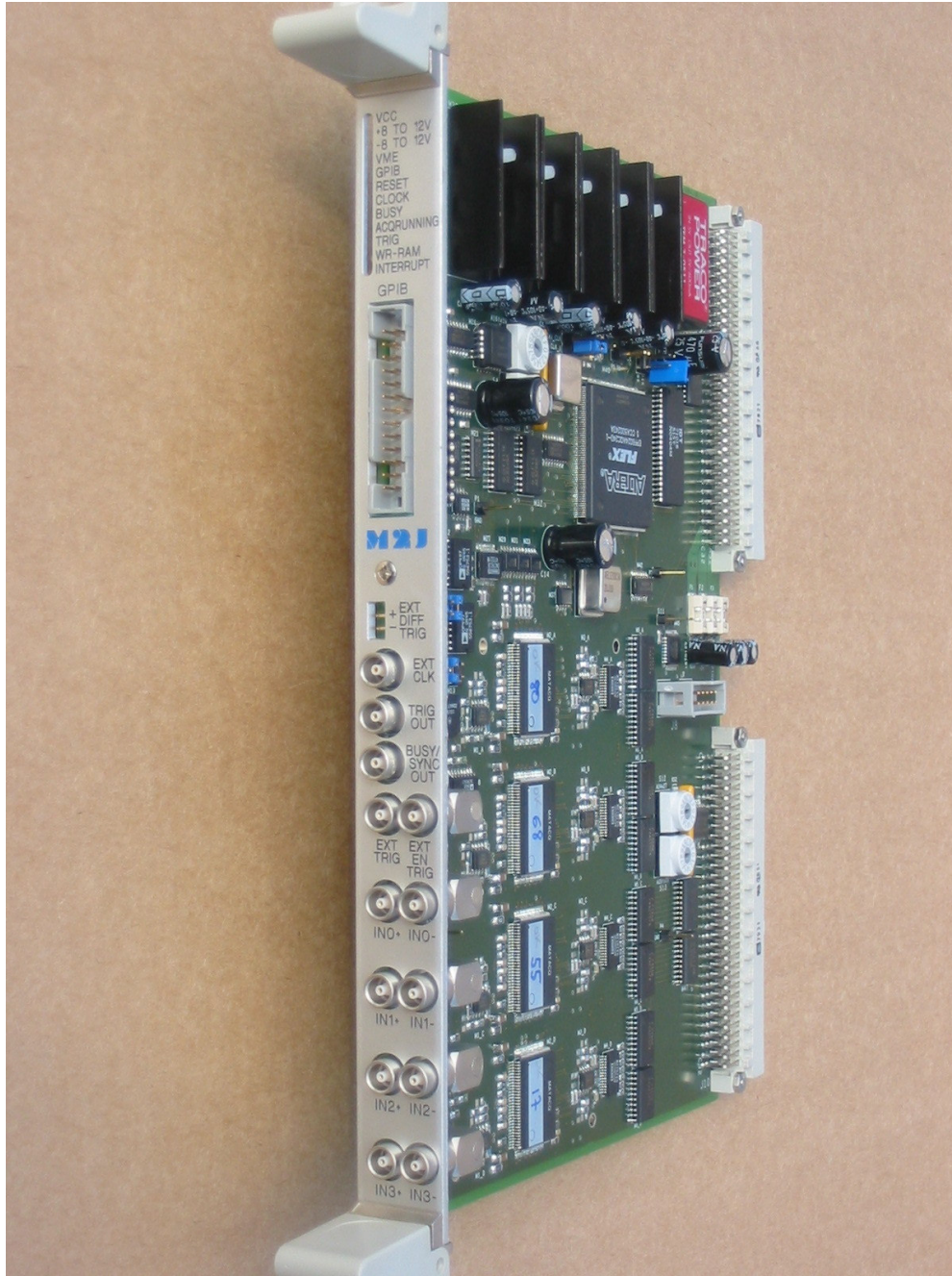




| | |
|------------------------------|---|
| Date : 12/12/06 | Objet : Documentation de la carte MATAcq32. |
| De : E. DELAGNES + D. BRETON | V/Réf. : 1.8 |

N O T E : Documentation de la carte MATAcq32.



Evolutions du document.

Rev 1.0 : première version.

Rev 1.1 :

* IV.1.g : décalage de la gamme d'entrée supprimé. Remplacé par implantation d'entrées différentielles.

* IV.2.a : correction des ADDRESS MODIFIERS acceptés par la carte.

* V : mise à jour des spécifications.

Révision 1.2 :

* Dans tout le document (là où nécessaire) : POSTRIG remplacé par POSTTRIG.

* II.1 : figure 1. Mise à jour des débits de données maximums sur les bus d'acquisition.

* II.1.d : figure 3b. Mise à jour pour clarifier sans changement de principe.

* II.4.b : correction de la formule de ROT.

* III.3.a : mettre NB_OF_COL_TO_READ à 1 pour calibrer l'interpolateur.

* IV.1.c : description des leds en face avant.

* IV.4 : pas de relecture des registres TRIGGER THRESHOLD DAC en GPIB. Redéfinition plus claire de TRIG_REC.

* V : mise à jour des vitesses d'acquisition.

Révision 1.3 :

* TRIG_REC au lieu de REC_CP partout (il en restait).

* II.4.b : correction de l'équation (1).

* IV.1.a : mise à jour de la figure 8.

* IV.1.e : connecteur JTAG pour l'E2PROM.

* IV.1.f : mise à jour du tableau.

* IV.1.g : correction de l'implantation pour utiliser des entrées différentielles.

* IV.1.h : décalage de la gamme d'entrée réintroduit.

* IV.4 : ajout de deux nouveaux bits (ISA et IRQP) dans MAT CTRL REGISTER à la sous-adresse 0x11. Suppression de la sous-adresse 0x25. Correction de la sous-adresse 0x81.

Révision 1.4 :

* Petites corrections diverses.

* I.2 : précisions sur EXT_CLK.

* II.1.a et II.1.e : introduction du signal de validation de déclenchement.

* IV.4 : introduction des registres POST STOP LATENCY et POST LATENCY PRETRIG.

Révision 1.5 :

* II.1.e : validation du trigger par un deuxième signal retardé. Nouvelle rédaction.

* II.2 : valeurs minimales de PRETRIG modifiées.

* III.1.a : synchronisation des voies d'une même carte. Nouvelle rédaction.

* V : mise à jour des spécifications.

Révision 1.6 :

* IV.1.h : inversion de « positif » et « négatif » dans le sens des décalages et correction du tableau.

* IV.2.b : suppression de « S1 » dans la référence à l'adresse GPIB (correction).

Révision 1.7 :

* II.1.d : mise à jour de la figure 3b.

* IV.4 : ajout de deux nouveaux bits (6 et 7) dans TRIGGER TYPE à la sous-adresse 0x1D.

Révision 1.8 :

* IV.4 : mise à jour de TRIGGER CHANNEL SOURCE où la polarité des bits était inversée.

Documentation de la carte MATACQ32 : INDEX

| | |
|--|-----------|
| N O T E : Documentation de la carte MATACQ32..... | 1 |
| I. Description des fonctionnalités de la carte MATACQ32..... | 4 |
| I.1. Généralités. Description de la fonctionnalité globale..... | 4 |
| I.2. Fréquence d'échantillonnage..... | 5 |
| I.3. Signaux d'entrées. Gamme dynamique..... | 5 |
| II. Mode opératoire..... | 5 |
| II.1. Définition de la fenêtre d'acquisition. Modes de déclenchement..... | 5 |
| II.1.a) Principe, PRETRIG, POSTTRIG..... | 5 |
| II.1.b) Sources de déclenchement..... | 6 |
| II.1.c) Front de déclenchement..... | 7 |
| II.1.d) Signal TRIGOUT..... | 7 |
| II.1.e) Validation du trigger par un deuxième signal retardé..... | 8 |
| II.2. Temps mort lors du démarrage de l'acquisition ; Prétrig..... | 9 |
| II.3. Séquence standard d'acquisition..... | 9 |
| II.4. Corrections des données..... | 10 |
| II.4.a) Correction des piédestaux..... | 11 |
| II.4.b) Corrections temporelles..... | 11 |
| III. Synchronisations, calibrations..... | 13 |
| III.1. Synchronisation entre les voies..... | 13 |
| III.1.a) Voies d'une même carte..... | 13 |
| III.1.b) Voies situées sur des cartes différentes..... | 13 |
| III.2. Signal de synchronisation. Relecture partielle des matrices. Signal BUSY..... | 14 |
| III.3. Calibrations..... | 14 |
| III.3.a) Calibration de l'interpolateur..... | 14 |
| III.3.b) Calibration des piédestaux..... | 16 |
| III.3.c) Calibration temporelle entre différents canaux..... | 16 |
| IV. Description technique..... | 17 |
| IV.1. Standards mécaniques et électriques..... | 17 |
| IV.1.a) Standard mécanique..... | 17 |
| IV.1.b) Interfaces électriques..... | 17 |
| IV.1.c) Bilan des signaux en face avant..... | 18 |
| IV.1.d) Alimentations..... | 19 |
| IV.1.e) Brochage des connecteurs non standards..... | 19 |
| IV.1.f) Straps et supports de réseaux..... | 20 |
| IV.1.g) Implantation des entrées différentielles..... | 20 |
| IV.1.h) Décalage de la gamme d'entrée..... | 21 |
| IV.2. Interfaces..... | 22 |
| IV.2.a) Interface VME..... | 22 |
| IV.2.b) Interface GPIB..... | 22 |
| IV.3. Lecture des données dans la RAM ; mapping..... | 23 |
| IV.4. Liste des sous adresses..... | 25 |
| IV.5. Synoptique de la carte..... | 29 |
| V. Spécifications..... | 30 |
| VI. Bibliographie..... | 31 |

I. DESCRIPTION DES FONCTIONNALITES DE LA CARTE MATACQ32.

I.1. Généralités. Description de la fonctionnalité globale.

La carte MATACQ32 est une carte d'acquisition de signaux analogiques rapides basée sur la puce MATACQ (matrice analogique) développée en collaboration par le CEA/DAPNIA et l'IN2P3/LAL [1].

La carte MATACQ32, au format mécanique VME double Europe, est compatible avec plusieurs standards d'acquisition (VME A32/D32, A24/D16, et GPIB).

Cette carte réalise le codage de 4 canaux analogiques de bande passante jusqu'à 300MHz sur 12 bits à une fréquence d'échantillonnage (F_e) pouvant aller jusqu'à 2GHz et sur une profondeur de 2520 points utiles.

Cette opération est réalisée en trois temps (voir Fig 1) :

- **Acquisition** :

le signal analogique est continûment échantillonné à la fréquence F_e dans une mémoire analogique circulaire. L'arrivée d'un signal de déclenchement initie la phase d'arrêt de l'échantillonnage (II.1.a). A l'issue de cette phase, l'état de la mémoire est figé : elle contient alors les 2560 derniers points échantillonnés (dont 2520 sont valides).

- **Numérisation et stockage** :

après ordre d'arrêt de l'acquisition, les échantillons stockés sous forme analogique dans les puces MATACQ sont rapidement ($650\mu s$) relus et codés en données numériques sur 12 bits puis stockés dans une mémoire numérique tampon. L'acquisition est informée de la fin du codage soit par scrutation d'un registre interne, soit par une interruption.

- **Lecture** :

la mémoire tampon peut alors être relue par le système d'acquisition. Pour un système d'acquisition standard VME A24-D16, cette dernière opération durera quelques ms pour une carte 4 voies, ce qui permet d'atteindre une fréquence d'acquisition d'une centaine de Hz pour l'acquisition de 2500 points par voie. Avec un système A32-D32 perfectionné, on peut atteindre plusieurs centaines de Hz.

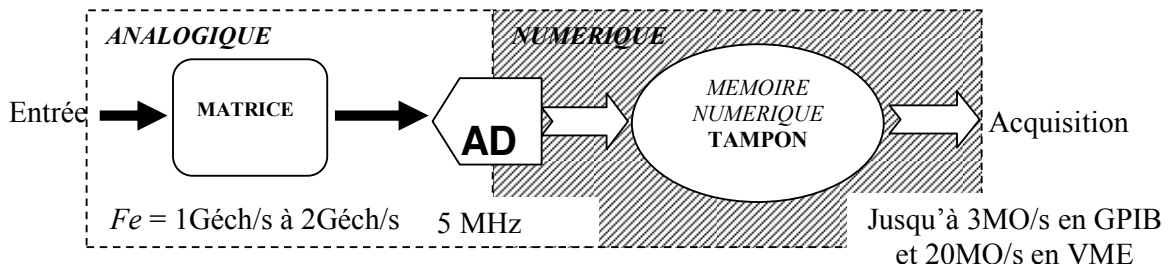


Fig 1 : flux de données dans la carte.

I.2. Fréquence d'échantillonnage.

La carte MATACQ32 est séquencée par une horloge pilote de fréquence 100MHz. Aucun signal de fréquence supérieure n'existe sur la carte. C'est ce qui explique la faible consommation du système. L'échantillonnage à très haute fréquence (F_e) dans la puce MATACQ est en fait réalisé par multiplication virtuelle de fréquence à l'intérieur de la puce par un facteur pouvant aller jusqu'à 20.

La puce MATACQ fonctionne avec une fréquence pilote $F_p = 50\text{MHz}$ ou 100MHz programmable sur la carte par software, ce qui correspond à des fréquences d'échantillonnage $F_e (= 20 * F_p)$ de 1 ou 2 GHz.

L'entrée EXT_CLK peut éventuellement être utilisée pour injecter une horloge pilote externe très propre comprise entre 50MHz et 100MHz. **Attention** : la puce MATACQ ne peut pas fonctionner correctement avec une fréquence pilote F_p inférieure à 50MHz.

I.3. Signaux d'entrées. Gamme dynamique.

La carte MATACQ32 intègre 4 canaux analogiques. Les entrées de ces canaux sont connectées en face avant à des prises LEMO doubles (IN0+/- à IN3+/-).

Les entrées sont par défaut unipolaires et terminées sur 50 Ohms. Cependant, les étages d'entrées de la carte peuvent être modifiés très facilement (quelques résistances à modifier) de façon à permettre de rentrer en différentiel (d'où la présence des entrées LEMO double).

La gamme dynamique est de 12 bits RMS avec une valeur d'excursion maximum de 1V, soit un LSB de $250\mu\text{V}$. Cette gamme est centrée par défaut sur 0V (+/- 0.5V). Cependant, des empreintes de résistances CMS-805 sont implémentées sur la carte MATACQ32 afin de pouvoir programmer la position de repos de la gamme utile dans l'intervalle +/- 0.5V de façon à pouvoir optimiser le système pour des signaux unipolaires (voir IV.1.h).

Le bruit mesuré ramené en entrée est inférieur à $200\mu\text{V}$ RMS et la non-linéarité est inférieure à 1 pour mille sur l'ensemble de la gamme dynamique.

II. MODE OPERATOIRE.

II.1. Définition de la fenêtre d'acquisition. Modes de déclenchement.

II.1.a) Principe, PRETRIG, POSTTRIG.

Durant l'acquisition, le signal analogique est continûment échantillonné dans la mémoire analogique qui est assimilable à un buffer circulaire d'une profondeur de 2560 points (profondeur temporelle = $2560/F_e$). L'arrêt de l'échantillonnage est initié par l'arrivée d'un signal de déclenchement T_a (*trigger asynchrone*) qui est commun à toutes les voies d'une carte. Ce signal n'est autorisé à être produit que suite à un délai programmable appelé *PRETRIG* après le lancement de la séquence d'acquisition.

L'arrêt effectif de l'échantillonnage se produira suite à un nombre prédéfini (appelé *POSTTRIG*) de coups d'horloge pilote (50MHz ou 100MHz) après le trigger (cf Fig 2).

Le *POSTTRIG*, programmable par l'utilisateur, permet de définir et de déplacer la position du signal de déclenchement dans la fenêtre d'acquisition. Il est réglable dans la gamme $1/F_p$ à $65535/F_p$ par pas de $1/F_p$ ($= 20\text{ns}$ ou 10ns), ce à quoi il faut ajouter un décalage fixe supplémentaire de $3/F_p$. Ceci est illustré en Fig 3a.

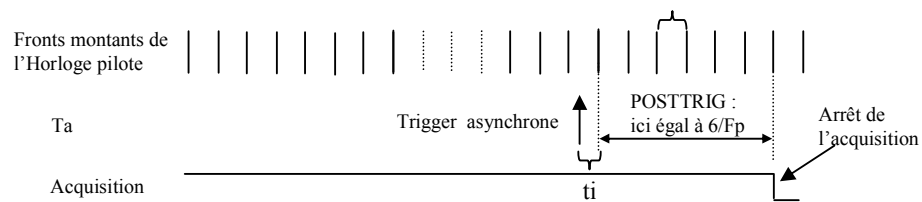


Fig 2 : chronogramme de l'arrêt de l'acquisition.

Dans l'exemple illustré par la Fig2, le POSTTRIG total est fixé à $6/F_p$. L'acquisition sera arrêtée $6/F_p + t_i$ après l'arrivée du signal de déclenchement (t_i correspond au temps mesuré par le vernier entre le T_a et le prochain coup d'horloge – voir II.4.b). La mémoire analogique contiendra alors les 2560 derniers échantillons (dont seulement 2520 seront exploités).

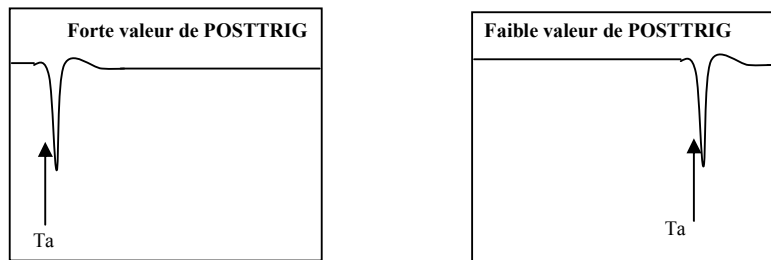


Fig 3a : centrage du Trigger dans la fenêtre d'acquisition pour deux cas de POSTTRIG.

Ainsi, une valeur de POSTTRIG proche de 64 assure le centrage du trigger au milieu de la fenêtre d'acquisition. Pour les valeurs de POSTTRIG > 127 , le trigger n'est plus dans la fenêtre d'acquisition.

II.1.b) Sources de déclenchement.

Il existe quatre sources possibles pour le signal de déclenchement T_a . Elles sont sélectionnables par l'utilisateur (voir IV.4) :

- **Trigger sur signal** : c'est le résultat du « OU » logique des discriminateurs sur les signaux analogiques de l'une ou de plusieurs voies de la carte au choix de l'utilisateur. Le seuil commun de ces discriminateurs est programmable par pas de 0.5mV sur une gamme de +/- 1V (qui correspond à l'intégralité de la gamme d'entrée utilisable de la carte). L'utilisateur peut également définir le type de discrimination (signal supérieur ou inférieur au seuil) via le choix du front de déclenchement.
- **Trigger externe** : signal de déclenchement externe entrant sur une prise LEMO (signal EXT_TRIG au niveau NIM). Ce signal peut être soit utilisé comme toute autre source de trigger avec choix de son front, soit exploité directement comme trigger asynchrone (front avant seul) dans le cas où on se sert des discriminateurs de plusieurs cartes pour produire à l'extérieur des cartes (via leur sortie TRIG_OUT) un trigger qu'on leur renvoie de façon synchrone (voir figure 3b). Ce mode est sélectionné par le bit 4 du registre TRIG_TYPE (voir IV.4).

- **Trigger auto** : déclenché par une commande logicielle issue de l'acquisition. Il permet de générer un déclenchement aléatoire. Ceci correspond au mode de déclenchement automatique.
- **Trigger « auto + normal »** : résultat d'un « OU » logique entre le trigger sur signal et le trigger automatique.
- **Trigger aléatoire interne** : ce signal périodique interne est asynchrone de l'horloge. Lorsqu'il est sélectionné et que le mode de trigger choisi est « auto », ce signal sert de source au trigger automatique. On l'utilise pour la calibration rapide des verniers des puces MATAcq.

II.1.c) Front de déclenchement.

Le front de déclenchement (montant ou descendant) peut-être sélectionné dans tous les modes (sauf le trigger externe direct qui utilise le front montant uniquement).

II.1.d) Signal TRIGOUT.

Une copie du signal de pré-trigger (impulsion positive) généré par la carte MATAcq32 est disponible en sortie sur une prise LEMO en face avant (sortie TRIG_OUT au niveau NIM). Il peut en particulier permettre de synchroniser le déclenchement de plusieurs cartes.

Un résumé simplifié des modes de déclenchement de la carte est présenté en figure 3b.

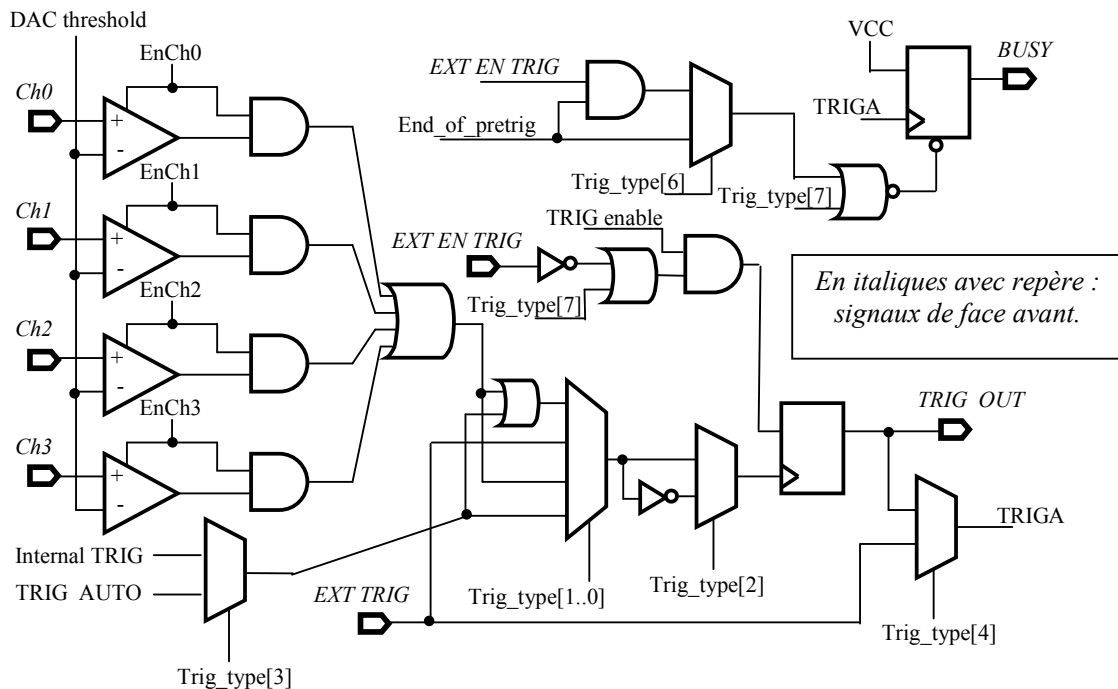


Fig 3b : description simplifiée de la chaîne de sélection de déclenchement.

II.2. Temps mort lors du démarrage de l'acquisition ; Prétrig.

La fréquence de l'horloge présente sur la carte est relativement basse (50MHz ou 100MHz). Pour pouvoir échantillonner à une cadence supérieure au Giga-échantillon par seconde, les puces MATACQ réalisent une multiplication virtuelle de fréquence. Cette multiplication nécessite un asservissement dont la boucle de contrôle est interrompue lors du cycle de lecture des données. Lors du démarrage de l'acquisition, cet asservissement doit se stabiliser. Cela implique une attente de typique de 150µs avant d'atteindre le maximum des performances temporelles.

Pour cette raison, à chaque redémarrage de l'acquisition, la carte doit générer automatiquement un temps mort pendant lequel les triggers sont ignorés.

Ce temps mort est réglable par le PRETRIG, de 1 à 65535 fois la période d'horloge principale. Les valeurs de PRETRIG minimales conseillées sont donc :

- 7500 (décimal) pour une horloge pilote $F_p = 50\text{MHz}$.
- 15000 (décimal) pour une horloge pilote $F_p = 100\text{MHz}$.

II.3. Séquence standard d'acquisition.

La Fig 4 montre le déroulement standard d'une acquisition :

- La séquence commence par l'initialisation de la carte par un ordre *RESET*.
- Ensuite, les différents paramètres qui ne sont pas utilisés avec leur valeur par défaut doivent être programmés (PRETRIG, POSTTRIG, TRIGGER TYPE, TRIGGER EDGE, MASK, NB OF COL TO READ, FP FREQUENCY, ...).
- L'ordre de démarrage d'acquisition est ensuite envoyé.
- L'utilisateur envoie éventuellement un trigger software (dans le cas d'un trigger automatique) en ayant pris soin d'attendre au moins le temps nécessaire au PRETRIG.
- Le programme attend alors une requête émise par la carte MATACQ32 lorsque les données sont prêtes à être lues. Pour cela, il existe deux possibilités illustrées par la Fig 5 :
 - Attente et traitement d'une interruption (SRQ en GPIB, IRQ3 en VME).
 - Scanning régulier du LSB du registre d'interruption (INTERRUPT h80).

Dans les deux cas, l'utilisateur doit acquiescer la requête en écrivant un 0 dans le registre *INTERRUPT*. La première solution a l'avantage d'être moins bruyante pour le front-end de la carte.
- L'utilisateur peut alors lire partiellement ou totalement les données stockées dans la carte. Cela comprend :
 - les valeurs du vernier et des échantillons (cf IV.3)
 - la valeur de TRIG_REC qui permet de déterminer la position du trigger dans la fenêtre d'acquisition (cf II.4.b) et IV.4)
- L'utilisateur doit corriger les données avant de les utiliser (cf II.4):
 - En soustrayant les piédestaux (cf II.1.a).
 - En réordonnant les données (cf II.4.b).

Ces opérations peuvent être effectuées on-line ou off-line suivant le contexte.

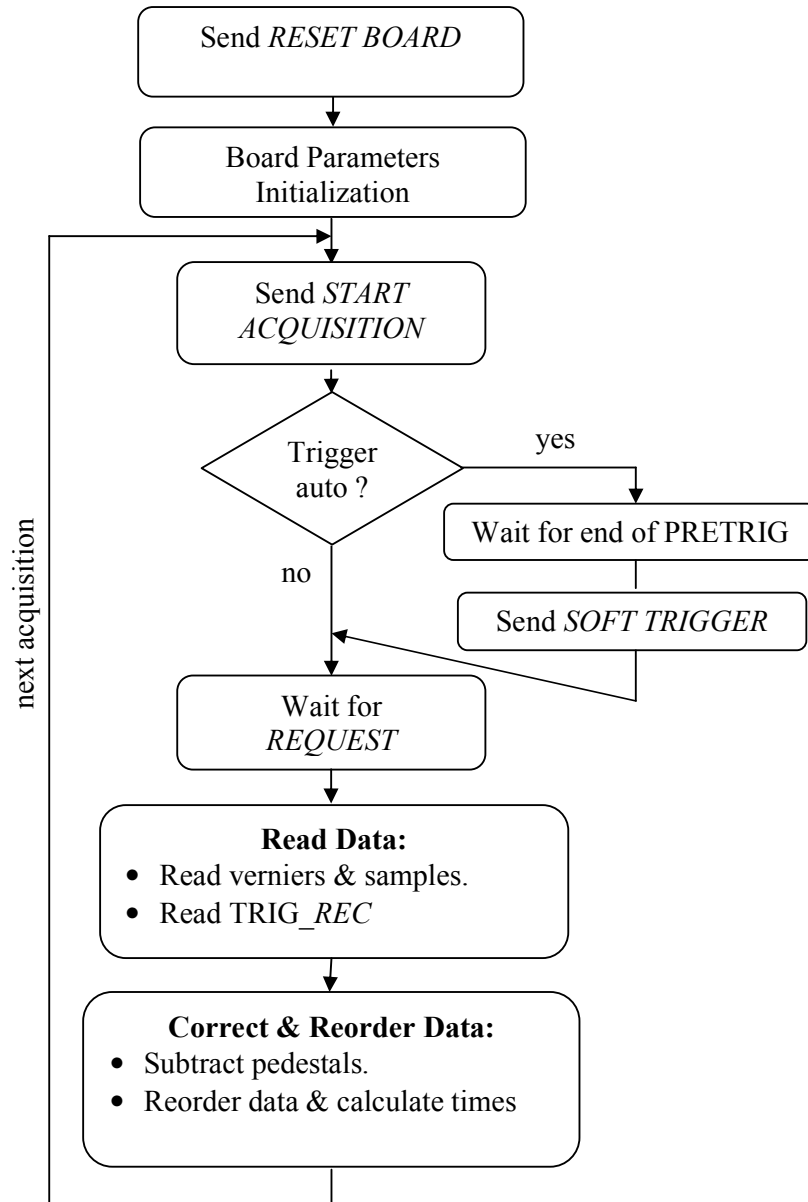


Fig 4 : Organigramme d'une acquisition standard.

II.4. Corrections des données.

Les données brutes extraites de la carte doivent être traitées avant d'être réellement utilisables.

Ce traitement consiste en deux volets :

- Correction des piédestaux.
- Ré-ordonnement des données et calage en temps.

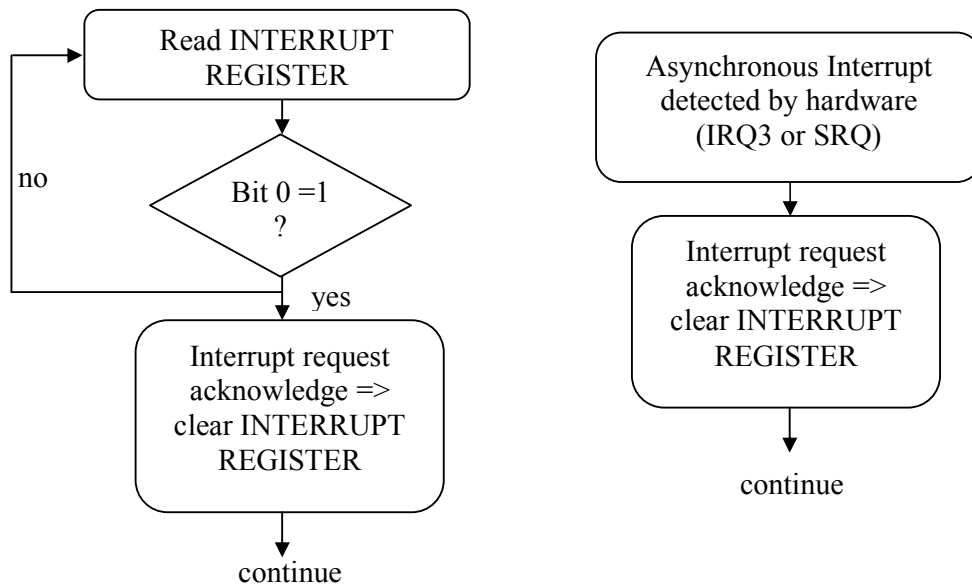


Fig 5 : deux possibilités de détection et de traitement de la requête : scanning du registre d'interruption ou traitement de l'interruption asynchrone.

II.4.a) Correction des piédestaux.

Les mémoires analogiques des puces MATAcq présentent par conception des dispersions de piédestal de cellule à cellule pouvant atteindre plusieurs dizaines de mV. Par contre, le piédestal d'une cellule donnée est extrêmement reproductible (250µV RMS). Du fait de la structure de la puce, la dispersion des piédestaux présente une périodicité principale de 20 cellules, suivie d'une distribution individuelle. Si elle n'est pas compensée, cette dispersion apparaîtra comme un bruit à la reconstruction du signal du fait de la position aléatoire du trigger dans la matrice.

Afin d'obtenir les performances nominales de bruit (rapport signal sur bruit de 73 à 74dB), les piédestaux qui sont stables dans le temps et avec la température doivent être soustraits par le logiciel d'acquisition individuellement cellule par cellule. Comme évoqué ci-dessus, il est également possible de soustraire 128 fois un pattern de 20 cellules. Cela permet de ne stocker que 20 piédestaux, et la perte de rapport signal sur bruit reste faible (environ 1 à 2dB) même si non négligeable.

Comme le piédestal d'une cellule est lié à sa position physique et non pas à sa position par rapport au Trigger, **il est obligatoire de réaliser cette soustraction AVANT de réordonner les données.**

Une méthode de calibration des piédestaux est exposée au III.3.b)

II.4.b) Corrections temporelles.

Le signal est échantillonné dans une mémoire circulaire. La première opération nécessaire à l'exploitation des données est donc de « déplier » la mémoire circulaire de chaque voie afin d'obtenir des tableaux de 2560 données ordonnées temporellement (cf Fig 6). Ceci peut par exemple se faire en réalisant une rotation de :

$$(1) \text{ ROT} = (\text{TRIG_REC} - \text{POSTTRIG}) * 20$$

cellules vers la gauche des tableaux de données issues de la RAM et précédemment triées voie par voie (voir IV.3).

Ou, de façon équivalente par un calcul d'un nouvel indice pour chaque donnée :

$$(2) \text{NEW}_i = (2560 + \text{OLD}_i - \text{END_CELL}) \text{ modulo } 2560$$

où **END_CELL** est l'indice de la dernière cellule écrite :
END_CELL = 20 * (POSTTRIG + TRIG_REC) modulo 128

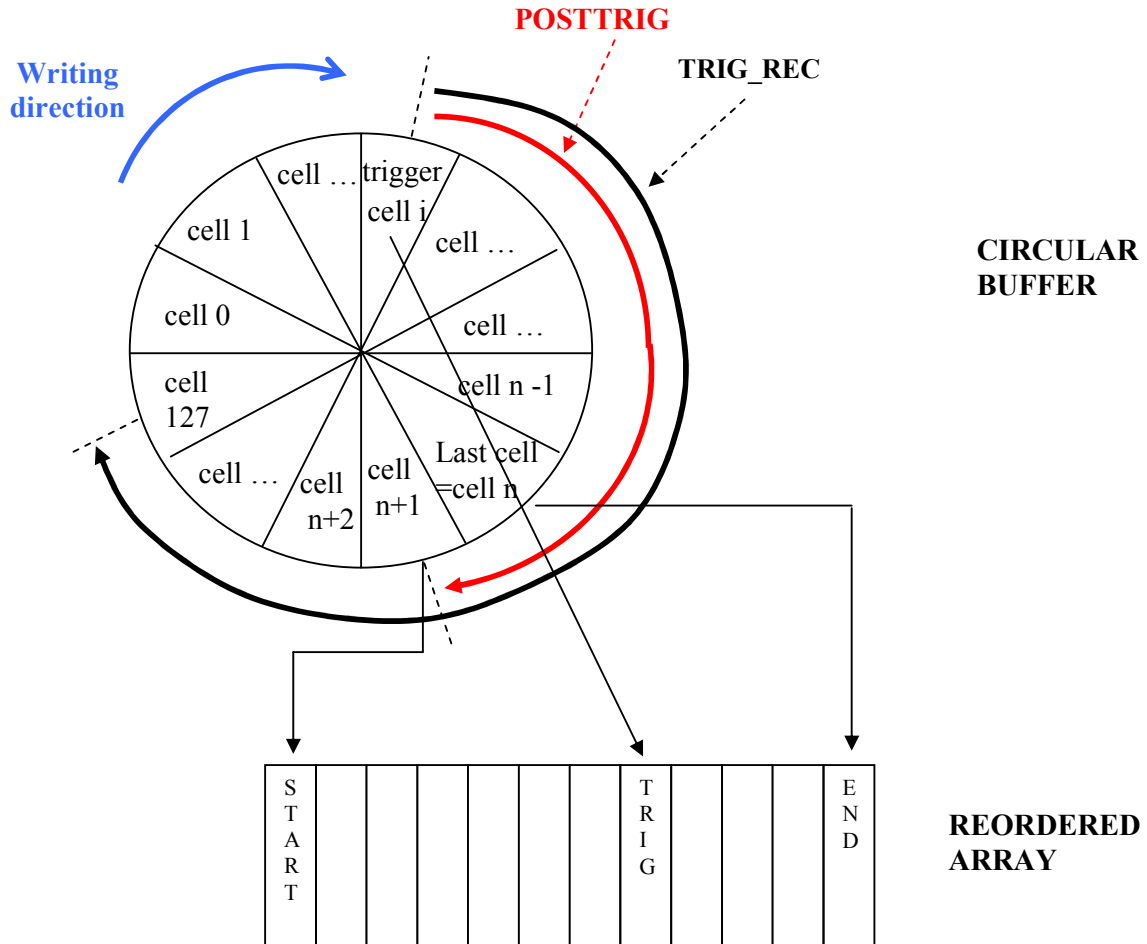


Fig 6 : dépliage de la mémoire circulaire

Le signal de déclenchement (trigger asynchrone) T_a est la référence absolue qui sert à caler temporellement les données (cf Fig 2). Pour retrouver sa position, on utilise l'information fournie par un interpolateur temporel (vernier) mesurant t_i , intervalle de temps séparant l'arrivée de T_a du front montant d'horloge F_p suivant.

Cette information associée aux constantes de calibration *MINVER* ET *MAXVER* (cf III.3.a) permet de déterminer la position du Trigger et donc de recalcr les données avec une précision maximale typique de l'ordre de 50ps RMS. Ce recalage est superflu si l'utilisateur désire seulement étudier une forme d'onde et dans ce cas, la courbe acquise présentera un jitter d'une période de F_p . L'information des 4 verniers d'une même carte étant redondante pour réaliser l'ajustement temporel, il est donc possible :

- d'utiliser uniquement le vernier de la voie 0.
- d'utiliser le vernier i pour la voie i .

- d'appliquer une moyenne des corrections calculées à partir des 4 verniers pour chacune des 4 voies afin d'affiner la précision en temps.

La formule suivante permet de déterminer le temps de chaque point du tableau réordonné, avec par convention une origine des temps (Time = 0) à l'arrivée du Trigger.

$$(3) \text{Time}[\text{NEWi}] = \text{DT0} + \{\text{NEWi} - 20 * [128 - \text{POSTTRIG} + \text{Correc_Ver}]\} * \text{dT}$$

$$\text{Avec (4) Correc_Ver} = (\text{VERNIER} - \text{MINVER}) / (\text{MAXVER} - \text{MINVER})$$

Où :

- dT est la période d'échantillonnage (500ps ou 1ns)
- DT0 est un offset temporel fixe, proche de 0, correspondant à des temps de transit dans la carte (calibration décrite au III.1.a)

Une solution alternative, mais équivalente consiste à générer le tableau réordonné par une rotation vers la gauche des données de :

$$(1b) \text{ROT} = (\text{TRIG_REC} - \text{POSTTRIG}) * 20 - \text{INT}(\text{Correc_Ver} * 20) \text{ cellules}$$

où INT correspond à l'arrondi à l'entier le plus proche.

Le trigger est alors situé à un temps

$$(5) tT = [\text{Correc_Ver} * 20 - \text{INT}(\text{Correc_Ver} * 20)] * \text{dT}$$

avant la cellule d'ordre d'indice $(128 - \text{POSTTRIG}) * 20$ (à l'offset DT0 près).

III. SYNCHRONISATIONS, CALIBRATIONS.

III.1. Synchronisation entre les voies.

III.1.a) Voies d'une même carte.

Un unique signal de déclenchement est utilisé pour toutes les voies d'une même carte. L'acquisition de ces voies sera donc naturellement synchrone, avec un jitter typique de seulement 20ps RMS.. L'éventuel offset temporel dT0, constant, entre les voies (dû principalement à la propagation du signal de déclenchement sur la carte, mais aussi à des longueurs de câbles différentes sur les entrées) sera calibré une fois pour toutes. Cette calibration s'effectue en envoyant un même signal sur toutes les entrées et en recherchant la position fine du trigger sur chacune des voies.

Dans le cas où la carte est utilisée en trigger sur signal, une méthode de synchronisation fine consiste donc à interpoler par logiciel le passage du signal sur le seuil de la voie qui déclenche pour dater finement toutes les voies mesurées.

III.1.b) Voies situées sur des cartes différentes.

La synchronisation n'est possible que si la source de déclenchement est commune aux différentes cartes. Pour cela, plusieurs possibilités sont envisageables :

- utiliser un signal de déclenchement externe commun à toutes les cartes.
- générer le signal de déclenchement sur une carte fixe (maître) qui s'auto-déclenche et envoyer sa sortie de déclenchement TRIG_OUT sur l'entrée de déclenchement externe des autres cartes (via un buffer NIM si plus d'une carte destinataire).

- générer le signal de déclenchement sur l'une quelconque des cartes. Les sorties TRIG_OUT de toutes les cartes seront alors reliées sur une logique NIM externe puis le résultat sera redistribué de façon synchrone sur toutes les cartes via leur entrée EXT_TRIG. C'est cette dernière qui sera alors programmée comme source du trigger asynchrone via le bit 4 du registre TRIGGER_TYPE.

Dans tous les cas une calibration de l'offset temporel entre les cartes est nécessaire. Cette calibration, similaire à celle nécessaire pour caler les voies d'une même carte, sera dépendante du set-up (longueur des câbles...).

III.2. Signal de synchronisation. Relecture partielle des matrices. Signal BUSY.

L'une des sorties NIM en face avant peut être configurée soit comme SYNC_OUT, soit comme BUSY respectivement à l'aide des straps S4 et S2. SYNC_OUT est un signal de synchronisation correspondant à l'écriture dans la première cellule de la deuxième colonne de la mémoire analogique circulaire, et qui peut être rendu disponible en face avant. Pour certaines applications, ce signal peut permettre de déclencher les signaux analogiques sources et ainsi de s'assurer de leur position fixe dans la mémoire. Ainsi, si l'occupation temporelle des signaux à acquérir est faible, l'utilisateur aura la possibilité de ne relire que le début de la profondeur de la mémoire analogique et de limiter ainsi le temps mort lié à l'acquisition.

BUSY est un signal destiné à informer le monde extérieur que la carte n'est pas prête à recevoir un signal (elle est soit en cours de transfert des données entre les puces MATAcq et la RAM, soit au repos, soit en début de phase d'acquisition). Son passage à 0 indique alors que la carte est maintenant prête à enregistrer un signal.

III.3. Calibrations.

Pour atteindre l'optimum de ses performances métrologiques, la carte MATAcq32 nécessite des calibrations. Ces dernières restent valides plusieurs semaines, voire plusieurs mois.

III.3.a) Calibration de l'interpolateur.

L'interpolateur temporel (vernier) nécessite une calibration. Cette calibration, basée sur une mesure statistique nécessitera l'acquisition de plusieurs milliers d'évènements et pourra durer de une seconde à quelques minutes en fonction du type de bus et du logiciel utilisés. Elle peut se faire avec les entrées connectées à une source quelconque, mais le trigger doit être asynchrone par rapport à l'horloge. Le résultat de cette calibration sera un histogramme « carré », dont les bords correspondront à deux fronts montants successifs de Fp. La valeur correspondant au bord de gauche (MINVER) sera le « zéro » du vernier, et celle du bord de droite (MAXVER) correspondra à un vernier de 1/Fp (soit 10 ou 20ns). Les valeurs intermédiaires en seront ensuite déduites lors des acquisitions par une simple règle de trois.

La méthode de calibration la plus précise mais la plus longue consiste à mettre le système dans le mode (TRIGGER_TYPE, PRETRIG, POSTRIG) où l'on veut réaliser les mesures, et à accumuler plusieurs milliers d'évènements jusqu'à ce que les bords de la distribution du vernier soit bien nets. La précision obtenue sera alors maximale mais plusieurs minutes seront nécessaires.

Si une précision moindre suffit, il existe des modes plus rapides. L'organigramme de la Fig 7, qui découle de celui de la Fig 4, montre en effet un exemple de déroulement d'une telle calibration optimisée de façon à être la plus rapide possible. En particulier :

- Les PRETRIG et POSTTRIG sont fixés à leur valeur minimale.
- NB_OF_COL_TO_READ doit être chargé à 1.
- Seules les valeurs de vernier sont lues dans la RAM. C'est à dire que si NCH canaux sont lus, seulement les 2*NCH données sont lues et seuls les mots de NCH+1 à 2*NCH sont conservés (cf IV.3).

Après un certain nombre d'acquisitions (au minimum 10000), les bornes du vernier *MINVER* et *MAXVER* peuvent être calculées.

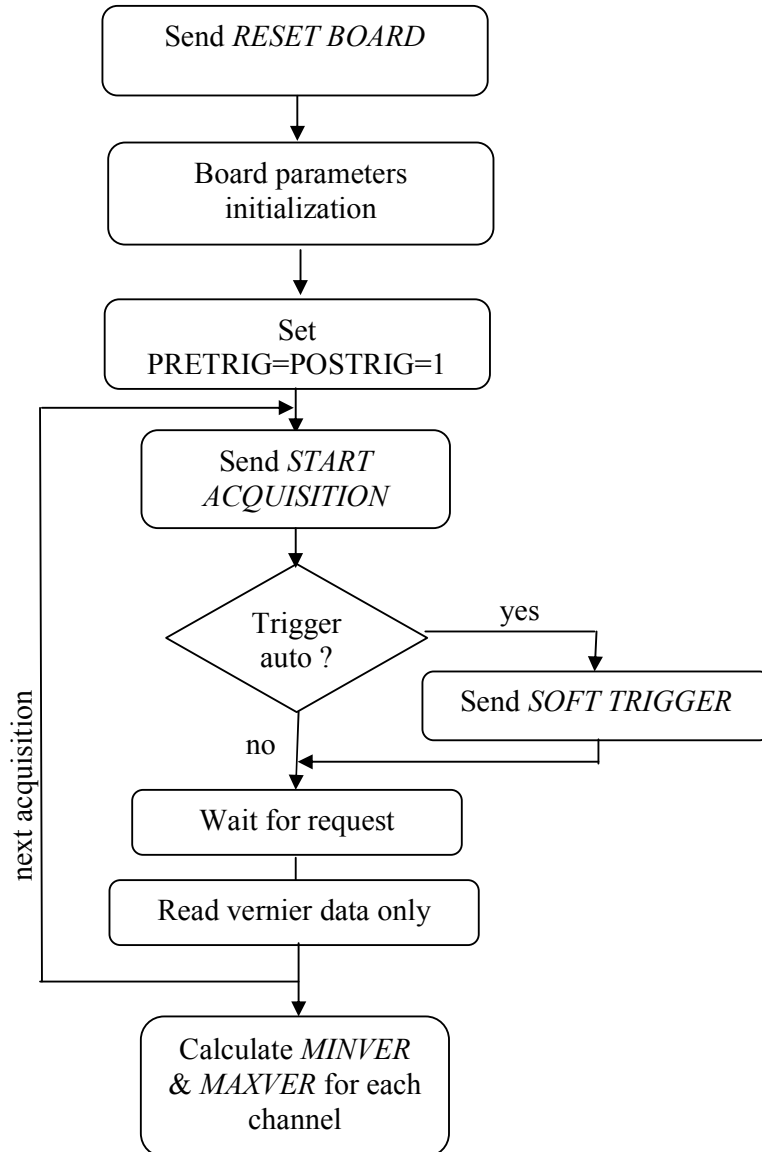


Fig 7 : Organigramme pour la calibration des verniers.

En première approximation, il est possible de simplement utiliser les valeurs minimales et maximales du vernier pour *MAXVER* et *MINVER*. Cette méthode est suffisante pour obtenir des résolutions temporelles typiquement de l'ordre de 70ps RMS.

Pour une meilleure précision, il faut pour trouver les deux bords fixer un seuil correspondant à la moitié du nombre de coups moyens par valeur d'ADC dans la distribution « carrée ».

Pour obtenir encore plus de précision, il est possible d'utiliser des méthodes plus complexes.

Un deuxième mode de calibration encore plus rapide est disponible. Pour cela :

- Charger NB_OF_COL_TO_READ à 0.
- Positionner le trigger en mode auto.
- Valider le trigger aléatoire interne.
- Lancer un Start_ACQUISITION.

La RAM se remplit alors de 65536 valeurs de vernier correspondant à 16384 triggers aléatoires. Pour chaque trigger on trouve 4 valeurs, rangées dans l'ordre suivant :
vernier canal 3, vernier canal 2, vernier canal 1, vernier canal 0.

A l'issue de cette calibration, une interruption est générée pour permettre à l'utilisateur de lancer une lecture. Cette lecture peut être réalisée en mode bloc, ce qui permet de réaliser la calibration du vernier en moins d'une seconde si le PRETRIG et le POSTTRIG sont courts.

Il faut noter, que pour ce mode de calibration particulier, les distributions obtenues ne sont pas nécessairement uniformes. Par contre, les bornes MAXVER et MINVER sont extrêmement bien définies et donc parfaitement exploitables pour les corrections. Si par hasard ce n'était pas le cas, il faudrait relancer la calibration avec une valeur différente de PRETRIG.

Notre expérience nous a montré que cette calibration reste valide plusieurs semaines, voire plusieurs mois. Les bornes peuvent néanmoins être mises à jour en temps réel à partir des données des événements lus si leur déclenchement est aléatoire par rapport à l'horloge pilote de la carte.

III.3.b) Calibration des piédestaux.

Pour cela, une calibration des lignes de base est nécessaire. Cette opération sera nécessaire suite à **tout changement** soit de la fréquence d'échantillonnage, soit de la bande passante de l'ampli d'écriture (BWL), soit des modes de lecture (FAST READ MODES). Elle consistera à réaliser une mesure moyennée sur une dizaine d'acquisitions brutes des lignes de base pour toutes les cellules (**entrées débranchées ou mises à la masse**). Le trigger doit alors être soit automatique, soit externe.

La procédure d'acquisition est la même que pour une acquisition standard, mais la lecture de TRIG_REC peut néanmoins être ignorée. Il n'est bien sûr fait aucune correction temporelle sur les données. A chaque acquisition, le tableau des moyennes sera stocké et ensuite soustrait par logiciel aux données brutes non triées. La durée de cette opération de calibration est inférieure à la seconde.

Dans le cas où l'entrée est connectée à des signaux physiques peu probables, il est également possible de réaliser cette calibration sans déconnecter l'entrée. Cependant, il faudra vraisemblablement augmenter le nombre d'acquisitions pour diminuer l'effet du bruit supplémentaire.

Notre expérience nous montre que cette calibration reste valide plusieurs semaines.

III.3.c) Calibration temporelle entre différents canaux.

Cf III.1

IV. DESCRIPTION TECHNIQUE.

IV.1. Standards mécaniques et électriques.

IV.1.a) Standard mécanique.

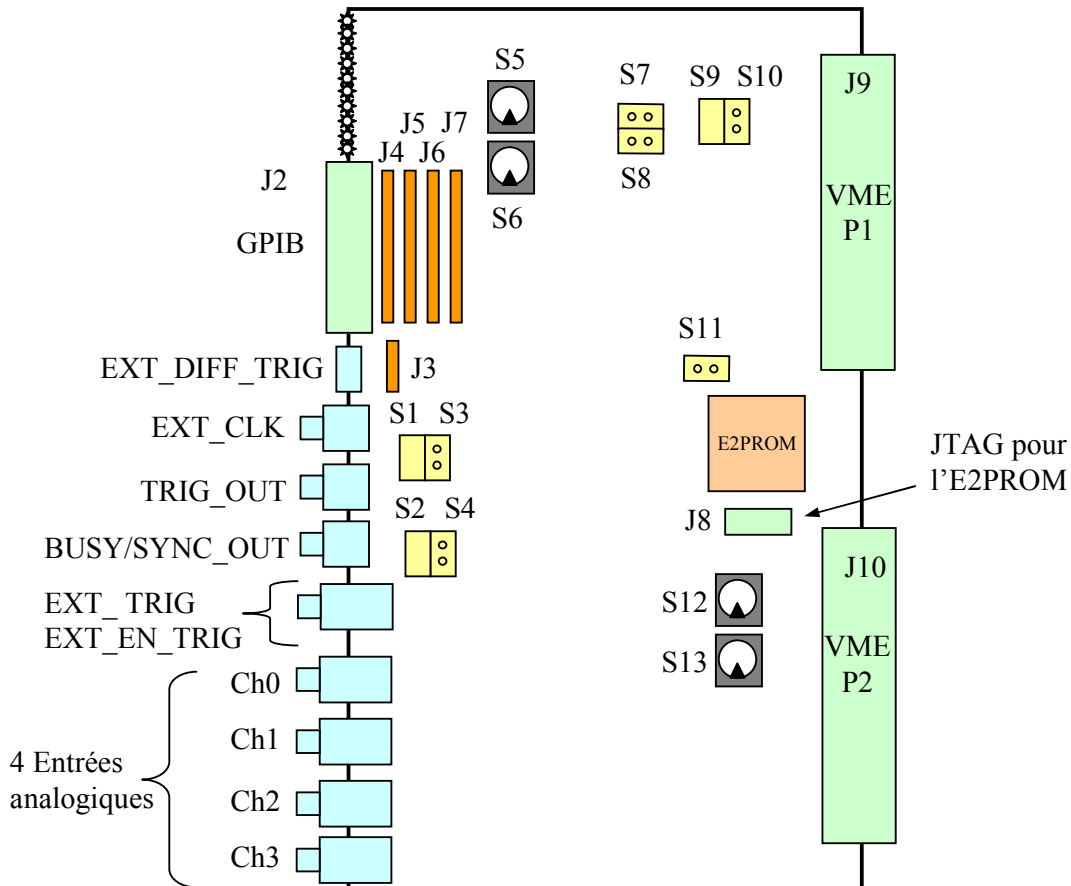


Fig 8 : implantation des connecteurs et des éléments de configuration sur la carte MATAcq32.

La carte MATAcq32 est au format mécanique VME 6U (160x233,3mm²). Les deux connecteur P1 et P2 du châssis VME sont utilisables, à la fois pour l'alimentation et le dialogue VME. Cependant, ces cartes peuvent tout à fait être utilisées via le bus GPIB hors d'un châssis VME, ou en n'utilisant ce dernier que comme support mécanique et d'alimentation.

Les prises utilisées pour toutes les entrées/sorties numériques sont de type LEMO femelle. Pour les entrées analogiques, elles sont soit en LEMO double, soit en LEMO simple, soit en SMA selon les versions.

IV.1.b) Interfaces électriques.

La carte MATAcq32 est compatible avec deux bus d'acquisition :

- VME via le connecteur P1 du VME (plus le P2 pour le mode A32/D32), connecteur 96 pin mâle DIN 41612 .

- GPIB via le connecteur HE10 placé en face avant (mâle 26 points).

Chaque carte possède une adresse codée sur 8 ou 16 bits configurable par un jeu de commutateurs hexadécimaux rotatifs. Pour le GPIB et le VME A24/D16, on utilise uniquement les deux commutateurs S5 et S6. Pour le VME A32/D32, il faut utiliser les quatre.

- En GPIB, l'adresse est configurable de 1 à 29 (décimal).
- En VME, l'adresse est configurable de h01 à hFF sur les bits 16 à 23 pour le mode A24/D16, et de h0001 à hFFFF sur les bits 16 à 31 pour le mode A32/D32.

Le choix du type d'interface est déterminé par le cavalier S10. Par défaut (sans cavalier), le bus utilisé est le VME. Lorsque le cavalier est monté, c'est le GPIB qui est utilisé.

IV.1.c) Bilan des signaux en face avant.

Les signaux logiques rapides d'entrée (EXT_TRIG) et de sortie (BUSY/SYNC_OUT et TRIG_OUT) de la carte MATAcq32 utilisent la norme NIM (-16mA dans 50 Ohms pour l'état logique « 1 »).

| Nom de la prise | Fonction | Connecteur | I/O | Type |
|------------------|--|---------------------|-----|-------------------------------|
| IN0+ to IN3 + | Positive Analog Inputs | LEMO or SMA | I | 50Ohm terminated |
| IN0- to IN3 - | <i>Negative Analog Inputs (option)</i> | Half double LEMO | I | 50Ohm terminated |
| EXT_EN_TRIG | External Trigger Enable | Half double LEMO | I | NIM |
| EXT_TRIG | External Trigger | Half double LEMO | I | NIM |
| EXT_DIFF_TRIG | External Trigger | Double pin | I | DIFF ECL (adaptable by J3) |
| EXT_CLK | External clock | LEMO | I | NIM |
| TRIG_OUT | Trigger Output | LEMO | O | NIM |
| BUSY/SYNC_OUT | Busy/Synchro Output | LEMO | O | NIM |

Les leds en face avant permettent d'avoir une image de l'état courant de la carte. Les vertes indiquent la présence des alimentations externes ; les jaunes celle des alimentations réalisées sur la carte par des régulateurs. Enfin, les rouges sont reliées aux signaux internes via des monostables qui permettent de visualiser des impulsions très courtes et des portes logiques pour les niveaux continus.

| Nom de la led | Type | Fonction |
|---------------|--------------------|--|
| VME | Monostable + porte | Accès VME acquiescé par la carte. |
| GPIB | Monostable + porte | Accès GPIB acquiescé. Reste allumée si EOI n'est pas envoyé par le contrôleur à la fin de la trame d'écriture. |
| RESET | Monostable + porte | Reset de la carte. |
| CLOCK | Monostable seul | L'Altera fournit l'horloge principale à la carte. |
| BUSY | Monostable + porte | Reproduit le signal BUSY. |
| ACQRUNNING | Monostable + porte | Est allumée après un "start acquisition". Est éteinte à la fin du POSTTRIG. Si elle reste allumée sans les suivantes, c'est qu'on a pas eu de trigger. |
| TRIG | Monostable + porte | Image du signal TRIGA (trigger asynchrone). |
| WR-RAM | Monostable + porte | Accès en écriture à la RAM de données. |
| INTERRUPT | Monostable + porte | Reproduit le signal INTERRUPT qui est produit à la fin de la séquence d'acquisition. |

IV.1.d) Alimentations.

La carte MATAcq32 utilise les alimentations standard du VME : +/-12V et +5V.

Elle fabrique le -5V pour la logique ECL à partir du +5V à l'aide d'un convertisseur DC-DC capable de délivrer 600mA utiles.

Les intensités consommées sur ces différentes alimentations sont :

| | |
|--------------|---------------------------------|
| +12 V | $0.3A + X \times Y \times 0.7A$ |
| -12V | $0.2A + X \times Y \times 0.7A$ |
| +5V | 1.5A |

où X est le taux d'acquisition = rapport du temps passé en attente d'évènement / temps total .

X vaut 1 dans le cas d'acquisition d'évènements peu fréquents.

X est faible (peut descendre jusqu'à 1%) dans le cas d'évènements fréquents. Dans ce cas en effet, le temps mort de lecture est dominant par rapport au temps passé en attente d'évènement.

Y dépend du mode de bande passante (cf registre de contrôle en IV.4) :

| | BWL0 | BWL1 | Bande passante | Y |
|--------------------------|-------------|-------------|-----------------------|----------|
| Mode pleine bande | 0 | 0 | 300 MHz | 1 |
| Mode normal | 1 | 0 | 230 MHz | 0,6 |
| Mode normal | 0 | 1 | 230 MHz | 0,6 |
| Mode éco | 1 | 1 | 180 MHz | 0,35 |

IV.1.e) Brochage des connecteurs non standards.

- Connecteur GPIB (HE10 mâle 26 points)

Référence : J2.

| | |
|-----------|----------|
| 1 : D1 | 2 : D5 |
| 3 : D2 | 4 : D6 |
| 5 : D3 | 6 : D7 |
| 7 : D4 | 8 : D8 |
| 9 : EOI | 10 : REN |
| 11 : DAV | 12 : GND |
| 13 : NRFD | 14 : GND |
| 15 : NDAC | 16 : GND |
| 17 : IFC | 18 : GND |
| 19 : SRQ | 20 : GND |
| 21 : ATN | 22 : GND |
| 23 : GND | 24 : GND |
| 25 : NC | 26 : NC |

Le connecteur HE10 femelle correspondant peut être directement serti sur une nappe 24 conducteurs équipée à l'autre extrémité d'un connecteur GPIB standard (CENTRONICS 24 points). Jusqu'à 18 connecteurs HE10 femelles peuvent être mis en parallèle sur le câble en nappe (attention alors à ne monter les réseaux de tirages des niveaux sur le bus que sur une seule des cartes).

- Connecteur JTAG (HE10 mâle 10 points)

Référence : J8.

Permet de reconfigurer l'E2PROM (EPC2) à partir d'un fichier Altera « .pof » à l'aide de JTAG.

IV.1.f) *Straps et supports de réseaux.*

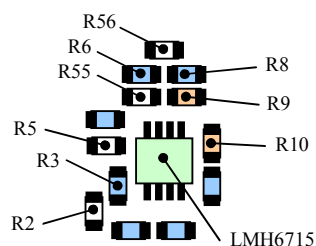
Un certain nombre de supports de straps et réseaux sont disponibles sur la carte, ainsi que des potentiomètres sur V1. Voici leur rôle :

| Référence | Rôle |
|------------|--|
| S1 | on utilise l'entrée EXT_TRIG différentielle (exclusif de S3) |
| S3 | on utilise l'entrée EXT_TRIG unipolaire par Lemo (exclusif de S1) |
| S2 | la sortie BUSY/SYNC_OUT sort le signal « BUSY » (exclusif de S4) |
| S4 | la sortie BUSY/SYNC_OUT sort le signal « SYNC_OUT » (exclusif de S2) |
| S5 et S6 | adresse de la carte (voir IV.1.b) |
| S7 | on utilise l'entrée EXT_CLK pour l'horloge (exclusif de S8) |
| S8 | on utilise l'oscillateur 100MHz pour l'horloge (exclusif de S7) |
| S9 | Ne pas utiliser |
| S10 | choix du bus de données d'acquisition (voir IV.1.b) |
| S11 | absent normalement. Empêche le conf_done de remonter ce qui permet alors de ne pas valider la configuration de l'Altera à la mise sous tension. |
| S12 et S13 | adresse de la carte (voir IV.1.b) |
| J3 | adaptation pour l'entrée EXT_DIFF_TRIG. Mettre 100 ohms entre les pattes 1 et 2 et entre les pattes 3 et 4 |
| J4 | pull-down pour le GPIB. Mettre un réseau 8 résistances 6.8k point commun |
| J5 | pull-up pour le GPIB. Mettre un réseau 8 résistances 3.3k point commun |
| J6 | pull-down pour le GPIB. Mettre un réseau 8 résistances 6.8k point commun |
| J7 | pull-up pour le GPIB. Mettre un réseau 8 résistances 3.3k point commun. Attention : ne mettre ces 4 réseaux qu'une seule fois si on chaîne les cartes. |

IV.1.g) *Implantation des entrées différentielles.*

Les signaux d'entrée sont par défaut unipolaires. Pour passer en entrées différentielles, il faut utiliser certaines empreintes de résistances CMS-805 libres situées de part et d'autres de l'ampli d'entrée (LMH6715), lui-même situé en bas à gauche des puces MATAcq, et en changer certaines autres. Le plan d'équipement de cette zone de la carte est présenté ci-dessous. Les résistances déjà présentes apparaissent en bleu, alors que les empreintes libres apparaissent en blanc.

Pour passer en entrées différentielles (avec les deux polarités adaptées sur 50 ohms), il faut d'abord enlever les résistances R3, R6 et R8. Il faut ensuite mettre 84.5 ohms sur R2, 0 ohm sur R5 (utiliser la valeur précédente de R3), 121 ohms sur R55 et 50 ohms sur R56. Enfin, il faut remplacer R9 (750 ohms) par 237 ohms et R10 (30,9 ohms) par 10 ohms.



Implantation des composants autour de l'ampli différentiel situé dans le bloc, en bas à gauche de la puce MATAcq.

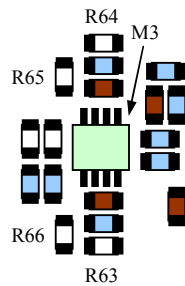
IV.1.h) Décalage de la gamme d'entrée.

La gamme des signaux d'entrée est centrée par défaut sur +/-0.5V. Pour la décaler, il faut utiliser certaines empreintes de résistances CMS-805 libres situées de part et d'autres de l'ampli M3 (LM4130), lui-même situé entre les puces MATAcq et l'ADC (ADS803E). Le plan d'équipement de cette zone de la carte est présenté ci-dessous.

Pour décaler la ligne de base vers le bas afin de passer des impulsions majoritairement positives, monter R63 et R65.

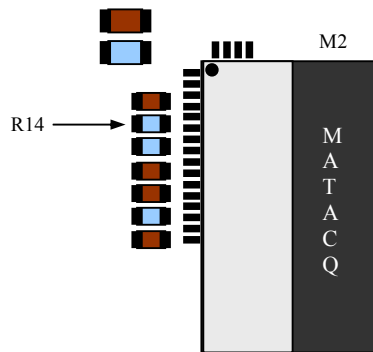
Pour décaler la ligne de base vers le haut afin de passer des impulsions majoritairement négatives, monter R64 et R66.

La valeur des 2 résistances à 1% doit être identique. On sature la gamme avec 2k : c'est donc la valeur minimum. Le tableau ci-dessous donne les différentes valeurs de résistances nécessaires pour obtenir les décalages voulus.



Implantation des composants autour de l'ampli différentiel situé dans le bloc entre la puce MATAcq et l'ADC.

Il faut également décaler la référence fixe du vernier (*VerRef2*) pour compenser l'opération précédente au niveau de ce dernier. Pour cela, il faut modifier la valeur de la résistance R14 (voir figure ci-dessous) qui vaut 18k par défaut. Elle forme un pont diviseur avec R15 (20k) située juste en dessous. Il faut en fait décaler le point milieu de ce pont d'une tension proportionnelle au décalage recherché sur les signaux. Les valeurs nécessaires pour R14 apparaissent donc également dans le tableau ci-dessous.



Implantation des composants en haut et à gauche de la puce MATAcq.

| Gamme d'entrée nég - pos | Décalage en V | Valeur de R64 et R66 | Valeur de R63 et R65 | Valeur de R14 |
|--------------------------|---------------|----------------------|----------------------|---------------|
| 90% - 10% | +0,4V | 2,5k | X | 77k |
| 80% - 20% | +0,3V | 3,3k | X | 50k |
| 70% - 30% | +0,2V | 4,6k | X | 35k |
| 60% - 40% | +0,1V | 7k | X | 25k |

| | | | | |
|------------------|-------|---|------|------|
| 50% - 50% | 0V | X | X | 18k |
| 40% - 60% | -0,1V | X | 7k | 13k |
| 30% - 70% | -0,2V | X | 4,6k | 9k |
| 20% - 80% | -0,3V | X | 3,3k | 6k |
| 10% - 90% | -0,4V | X | 2,5k | 3,6k |

IV.2. Interfaces.

IV.2.a) Interface VME.

La carte est compatible avec les modes A24-D16 et A32-D32. Elle supporte les ADDRESS MODIFIERS h09, h0B, h0D, h0F, h39, h3B, h3D et h3F, et accepte donc les accès en mode bloc. Les sous-adresses sont codées sur les bits 08 à 15.

L'adresse de base est donnée par : `switch_address x h10000` (0<switch_address<hFF pour A24-D16 et 0<switch_address<hFFFF pour A32-D32)

L'offset est donné par : `sub_address x h100` (la liste des sous-adresses est donné en d/)

L'adresse complète est donnée par : `base_address + offset`

L'IRQ3 est utilisée pour signaler au système d'acquisition la présence de données en attente dans la RAM. Cette interruption doit être acquittée par une écriture quelconque à l'adresse du registre INTERRUPT qui la remet à 0.

L'envoi de IRQ3 peut-être inhibé par le positionnement à 1 du bit INH_IRQ (bit 1 du registre CONTROL_REG).

La présence de données en attente peut également être détectée sans traiter l'interruption, mais en scannant la présence d'un 1 dans le même registre INTERRUPT. Cependant, c'est à éviter car c'est une source de bruit pendant l'acquisition de données.

La lecture des données stockées dans la RAM s'effectue en réalisant n lectures successives à l'adresse de RAM_DATA ou en réalisant des séries de lectures de bloc à cette même adresse (blocs de 128 mots de 16 bits ou 64 mots de 32 bits maximum).

IV.2.b) Interface GPIB.

Les cartes MATAcq32 peuvent avoir une adresse comprise entre 0 et 29 (décimal).

- Ecriture

Les ordres GPIB sont exécutés en écrivant dans la carte située à l'adresse sélectionnée par les commutateurs rotatifs une suite de caractères.

Le code ASCII du premier caractère correspond à la sous-adresse de la commande à exécuter ou du registre à adresser.

Les codes ASCII des caractères suivants correspondent aux données (une seule donnée sauf dans le cas d'une écriture à la sous-adresse hFF).

- Lecture

Un mode de lecture par bloc a été implémenté pour accélérer la lecture par GPIB. La lecture d'un registre s'effectue de la façon suivante :

* Opération d'écriture des 4 caractères `(#FF)(#LSB)(#MSB)(#REG)` avec
- `(#FF)` : caractère de code ASCII hFF

- (#LSB) : caractère de code ASCII correspondant aux 8 bits de poids faibles du nombre de bytes à lire (nbyte).
- (#MSB) : caractère de code ASCII correspondant aux 8 bits de poids forts du nombre de bytes à lire.
- (#REG) : caractère de code ASCII correspondant à la sous-adresse du registre à lire (h0C pour lire les données stockées en RAM).

* Opération de lecture de nbyte caractères.

Dans le cas général (hors DATA RAM) nbyte =1

En GPIB, les 16 bits de données converties par l'ADC sont lus en deux octets consécutifs dans l'ordre MSByte, LSByte.

- Interruption

A la fin du vidage des données dans la RAM, la carte MATAcq32 génère un « Service Request (SRQ) » sur le bus GPIB. La carte n'est pas compatible avec les protocoles de PARALLEL ou SERIAL POLLING. Cependant le contrôleur GPIB peut identifier l'émetteur de SRQ en scannant alternativement les registres INTERRUPT des différentes cartes. Ce n'est pas une source de bruit car l'acquisition est alors terminée.

Comme en VME, l'interruption (SRQ) est remise à 0 par une écriture quelconque à l'adresse du registre INTERRUPT. De même, la présence de données en attente peut également être détectée sans traiter l'interruption, mais en scannant la présence d'un 1 dans le même registre INTERRUPT.

- Mode Broadcast.

Une écriture à l'adresse 30 (décimal) permet de réaliser une écriture dans toutes les cartes MATAcq32 présentes sur le bus GPIB.

IV.3. Lecture des données dans la RAM ; mapping .

Lors de la lecture des puces MATAcq, les données sont numérisées par l'ADC 12bits puis transférées dans la RAM. L'ordre de la séquence est toujours le même : on commence par lire la première cellule (en haut à gauche) de la matrice, et on termine par la dernière (en bas à droite), ceci indépendamment de la position du trigger et du point d'arrêt de l'acquisition.

Il faudra donc recalculer les données par rapport au trigger, ce qui a été expliqué en II.4.b). Les voies sont traitées en parallèle, et peuvent être masquées individuellement lors de l'écriture en RAM. Ceci implique que, dans le cas où NCH voies sont validées par le masque (valeur par défaut = h0F), les données sont rangées en mot de 16 bits par groupes de NCH adresses correspondant aux NCH voies (dans l'ordre 3 à 0, moins les canaux masqués). Le tableau ci-dessous explicite le rangement des mots en RAM (10252 mots au maximum pour les cartes 4 voies, 20504 pour les 8 voies).

Les données du tableau marquées d'un astérisque (*) sont réservées à un usage d'expert.

| RAM internal address (HEX) | Type of data |
|----------------------------|--------------------|
| 0000 to NCH-1 | First sample (*) |
| NCH to 2*(NCH)-1 | Vernier |
| 2*NCH to 3*(NCH)-1 | Reset baseline (*) |

| | |
|---------------------------------|-------------------------|
| 3*NCH to 4*(NCH)-1 | 1st cell |
| 4*NCH to 5*(NCH)-1 | 2 nd cell |
| 5*NCH to 6*(NCH)-1 | 3 rd cell |
| ... | ... |
| 2562*NCH to 2563*(NCH)-1 | 2559th cell |
| 2563*NCH to 2564*(NCH)-1 | 2560th cell (last cell) |

Si le nombre de colonnes à lire (registre NB OF COLS TO READ) choisi est inférieur à 128 (valeur par défaut), le transfert en RAM s'arrêtera dès que ce nombre sera atteint. Dans ce cas, il faut être sûr que les données utiles sont situées dans la première partie de la matrice. C'est le rôle dévolu au signal SYNC_OUT qui signale le passage en début de matrice. Pour valider ce dernier, le bit ESO doit être mis à 1 dans le registre de contrôle (voir IV.4), et il faut déplacer le strap correspondant.

Le registre de masque des voies permet de plus de ne valider que les voies utilisées, ce qui va également permettre de réduire le volume de données dans la RAM. Dans ce cas en effet, seules les données des voies validées seront recopiées dans celle-ci, tout en respectant le même ordre de stockage des données.

L'accès en lecture à la RAM se fait par adressage secondaire. L'adresse interne de celle-ci est en effet contrôlée par un compteur 16 bits (RAM_INT_ADD) situé dans le contrôleur situé sur la carte. Celui-ci est géré par les interfaces externes, le séquenceur d'acquisition générant sa propre adresse en partant de zéro pour l'écriture dans la RAM. Ce compteur s'auto-incrémente en cours d'adressage. Il est systématiquement remis à zéro en fin de cycle d'écriture, ce qui permet de ne pas avoir à le charger quand on veut lire toute la mémoire. Cependant, on peut accéder directement à une adresse ou un groupe d'adresses donné dans la RAM en le pré-chargeant.

Vue du bus, la lecture de la RAM se fait donc toujours à la même adresse h0C (en GPIB) ou h0D (en VME).

En GPIB, les 16 bits de données converties par l'ADC et stockées dans la RAM (accessible par lecture de 2 bytes à l'adresse 0C) sont lus dans l'ordre MSByte, LSByte. Seuls les 13 bits de poids faibles des données issues d'une conversion de l'ADC ont une signification : les bits de 0 à 11 correspondent aux 12 bits codés. Le bit 12 est à 1 en cas de dépassement. Les 3 bits de poids supérieur sont fixés à 0 sur la carte, ils peuvent être masqués à la lecture.

IV.4. Liste des sous adresses.

Le tableau des sous-adresses correspondant aux différentes commandes est présenté ci-dessous. Un certain nombre d'entre-elles sont réservées à un usage d'expert. Elles sont signalées par le nom « RESERVED » dans la colonne « NAME ». Elles ne seront pas décrites dans ce document et **elles ne doivent pas être utilisées**. En VME, les sous-adresses sont codées sur les bits A8 à A15, les bits A1 à A7 étant inutilisés. Pour plus de détail sur l'adressage en VME ou GPIB, se référer au IV.2.

| Subadd (HEX) | GPIB | VME | ACCESS | REG or COM. | NAME | bits of data | Default @ power_on |
|--------------|------|-----|--------|-------------|---|--------------|--------------------|
| 08 | YES | YES | W | Com | RESET BOARD | NO | - |
| 09 | YES | YES | W | Com | LOAD TRIGGER THRESHOLD DAC | NO | - |
| 12 | YES | YES | W | Com | RESERVED | NO | - |
| 13 | YES | YES | W | Com | RESERVED | NO | - |
| 14 | YES | YES | W | Com | RESERVED | NO | - |
| 15 | YES | YES | W | Com | RESERVED | NO | - |
| 16 | YES | YES | W | Com | RESERVED | NO | - |
| 17 | YES | YES | W | Com | START ACQUISITION | NO | - |
| 1C | YES | YES | W | Com | SOFTWARE TRIGGER | NO | - |
| 0A | YES | NO | W/R** | Reg | TRIGGER THRESHOLD DAC LSB (byte->GPIB) | 8 | 0 |
| 0B | YES | NO | W/R** | Reg | TRIGGER THRESHOLD DAC MSB (half byte->GPIB) | 4 | 0 |
| 0A | NO | YES | W/R | Reg | TRIGGER THRESHOLD DAC (word->VME) | 12 | 0 |
| 0C | YES | NO | R | Reg | RAM DATA MSB + LSB -> GPIB | 8 | - |
| 0D | NO | YES | R | Reg | RAM DATA ->VME | 16 | - |
| 0E | YES | YES | W/R | Reg | RAM_INT_ADD LSB | 8 | 0 |
| 0F | YES | YES | W/R | Reg | RAM_INT_ADD MSB | 8 | 0 |
| 10 | YES | YES | W/R | Reg | MAT CTRL REGISTER LSB | 8 | 0 |
| 11 | YES | YES | W/R | Reg | MAT CTRL REGISTER MSB | 8 | 0 |
| 18 | YES | YES | W/R | Reg | PRETRIG LSB | 8 | 0 |
| 19 | YES | YES | W/R | Reg | PRETRIG MSB | 8 | 40 |
| 1A | YES | YES | W/R | Reg | POSTTRIG LSB | 8 | 64 |
| 1B | YES | YES | W/R | Reg | POSTTRIG MSB | 8 | 0 |
| 1D | YES | YES | W/R | Reg | TRIGGER TYPE | 8 | 0 |
| 1E | YES | YES | W/R | Reg | TRIGGER CHANNEL SOURCE | 4 | 0 |
| 20 | YES | YES | R | Reg | TRIG_REC | 8 | - |
| 21 | YES | YES | W/R | Reg | FAST READ MODES | 2 | 0 |
| 22 | YES | YES | W/R | Reg | NB OF COLS TO READ | 7 | 128 |
| 23 | YES | YES | W/R | Reg | CHANNEL MASKS | 4 | h0F |
| 24 | YES | YES | W/R* | Reg | RESERVED | 8 | 64 |
| 30 | YES | YES | W/R* | Reg | POST STOP LATENCY | 8 | 4 |
| 31 | YES | YES | W/R* | Reg | POST LATENCY PRETRIG | 8 | 1 |
| 80 | YES | YES | W/R | Reg | INTERRUPT | 1 | 0 |
| 81 | YES | YES | W/R | Reg | FP_FREQUENCY | 2 | 1 |
| 82 | YES | YES | R | Reg | FPGA VERSION | 8 | - |
| 83 | YES | YES | W/R | Reg | EN_VME_IRQ | 1 | 0 |
| FF | YES | NO | W | Reg | NB OF BYTES TO READ IN BLOCK MODE (GPIB) | 24 (3x8) | 1 |

** : pas de relecture en GPIB.

Les sous-adresses sont rangées par type. Pour plus de détail sur leur utilisation spécifique en VME ou GPIB, se référer au IV.2.

Les fonctions de ces différentes commandes et registres sont décrites ci-dessous :

- **RESET BOARD** : reset de la carte. Restaure l'état de repos. Ne modifie pas la valeur chargée dans les différents registres.
- **LOAD TRIGGER THRESHOLD DAC** : permet le transfert de la valeur pré-chargée dans le registre du DAC vers le convertisseur analogique proprement dit.
- **START ACQUISITION** : lance l'acquisition de données. Lorsque celle-ci sera terminée, le signal INTERRUPT sera validé et transmis vers les interfaces de bus. Ce signal pourra aussi être lu à la sous-adresse h80.
- **SOFTWARE TRIGGER** : permet de générer un trigger à partir d'une interface de bus.
- **TRIGGER THRESHOLD DAC** : registre de pré-chargement du DAC. Ce registre de 12 bits couvre la plage de -1V (000) à +1V (FFF). Par GPIB, on accède aux MSBs et LSBs via 2 sous-adresses distinctes. L'accès se fait nécessairement dans l'ordre MSB (0B) puis LSB (0A). Par VME, l'accès se fait via une seule sous-adresse (0A). Après chargement de ce registre, il faut transférer la valeur dans le convertisseur analogique via la commande LOAD_TRIGGER THRESHOLD DAC (09).
- **RAM DATA** : c'est la mémoire où sont stockées les données. Comme ci-dessus, l'accès aux données se fait différemment en GPIB et en VME (voir NB OF BYTES TO READ IN BLOCK MODE). L'adressage est indirect, l'adresse interne de la RAM étant définie par le compteur RAM_INT_ADD situé dans l'ALTERA. La lecture des données s'effectue ainsi **toujours** à l'unique adresse 0D en VME et aux adresses 0E et 0F en GPIB.
- **RAM INT ADD** : ce compteur 16 bits fixe l'adresse interne de la RAM pour l'accès de bus en cours. Il est remis à zéro par la commande RESET_BOARD et par l'interruption en fin de phase d'acquisition. Pour un accès direct à une adresse ou un groupe d'adresses donnés, il faut le pré-charger.
- **MAT CTRL REGISTER** : c'est un registre de contrôle des paramètres d'acquisition. Il couvre 11 bits utiles. Les bits suivis d'une étoile sont réservés et doivent être laissés à zéro.

| Bits | Nom | Défaut | Fonction |
|------|---------|--------|--|
| 0 | BWL | 0 | Règle la bande passante des amplis d'entrée avec BWL1 (cf IV.1.d) |
| 1 | BWL1 | 0 | Règle la bande passante des amplis d'entrée avec BWL (cf IV.1.d) |
| 2 | EBP | 0 | A 1, autorise le bypass du signal d'entrée vers l'ADC |
| 3 | ELD* | - | Réservé |
| 4 | ENVDLL* | 0 | Réservé |
| 5 | EIR* | 0 | Réservé |
| 6 | EPR | 0 | A 1, force l'alimentation permanente des amplis de lecture |
| 7 | EPW | 0 | A 1, force l'alimentation permanente des amplis d'écriture |
| 8 | ESO | 0 | A 1, autorise le signal SYNC_OUT à sortir de la carte (via le strap correspondant) |
| 9 | ISA | 0 | A 1, inhibe la commande START_ACQUISITION. |
| 10 | IRQP | 0 | A 1, inhibe le RQP automatique avant acquisition. |

- **PRETRIG** : ce registre de 16 bits fixe le délai en périodes de Fp entre le START ACQUISITION et l'autorisation interne de valider un trigger, quelle que soit la source de ce dernier. Pour un bon fonctionnement, il doit être fixé au minimum à 5000 pour une fréquence Fp de 50MHz et à 10000 pour une fréquence de 100MHz. Par défaut, il vaut 10240.

- **POSTTRIG** : ce registre de 16 bits fixe le délai en périodes de Fp entre le trigger et l'arrêt de l'acquisition. Il permet en pratique de choisir la position du signal utile dans la fenêtre de 2560 cellules. Par défaut, il vaut 64.
- **TRIGGER TYPE** : ce registre de 8 bits fixe la source et le mode de déclenchement du trigger. Les bits 6 et 7 permettent de gérer les déclenchements si on a câblé plusieurs cartes pour les faire fonctionner ensemble.

| Bits | Fonction |
|------------|--|
| 0-1 | Val = 0 => SOFTWARE TRIGGER Val = 1 => trigger sur discriminateur (seuil fixé par le DAC) Val = 2 => trigger externe en provenance de l'entrée TRIG_EXT Val = 3 => "OU" logique de SOFTWARE TRIGGER et trigger sur discriminateur |
| 2 | Val = 0 => front montant Val = 1 => front descendant |
| 3 | Val = 0 => Trigger interne aléatoire inhibé. Val = 1 => Trigger interne aléatoire autorisé. |
| 4 | Val = 0 => on utilise le Trigger normalement. Val = 1 => on utilise le Trigger externe directement et sans masquage. |
| 5 | Bit EnValidTrig. Val = 0 => le Trigger déclenche directement la lecture. Val = 1 => le Trigger doit être validé par l'entrée EN_EXT_TRIG pour déclencher la lecture. |
| 6 | Sélection du mode de reset du signal BUSY : Val = 0 => on tient compte du EN_EXT_TRIG. Val = 1 => on ignore le EN_EXT_TRIG. |
| 7 | Sert à pouvoir inhiber le signal BUSY : Val = 0 => le signal BUSY fonctionne normalement. Val = 1 => le signal BUSY est bloqué à zéro (inactif). |

- **TRIGGER CHANNEL SOURCE** : ce registre de 4 bits fixe le ou les canaux dont les discriminateurs vont déclencher le trigger. Plusieurs voies peuvent être validées en même temps car on réalise un « OU » logique des sorties des discriminateurs dans le contrôleur.

| Bits | Fonction |
|----------|---|
| 0 | Val = 0 => Disable Trigger sur voie 0. Val = 1 => Enable Trigger sur voie 0. |
| 1 | Val = 0 => Disable Trigger sur voie 1. Val = 1 => Enable Trigger sur voie 1. |
| 2 | Val = 0 => Disable Trigger sur voie 2. Val = 1 => Enable Trigger sur voie 2. |
| 3 | Val = 0 => Disable Trigger sur voie 3. Val = 1 => Enable Trigger sur voie 3. |

- **TRIG_REC** : ce registre de 8 bits donne la distance entre la colonne où se trouvait le pointeur de colonne lors de l'arrivée du trigger synchrone et la dernière colonne (128). Il permet en pratique de dater grossièrement en temps le signal utile à un coup d'horloge près. Cette datation va être affinée avec une grande précision par l'utilisation du vernier.
- **FAST READ MODES** : ce registre de 2 bits permet de réaliser une lecture plus rapide des matrices sur V2 et 8V. Usage très spécifique ...

| Bits | Fonction |
|----------|---|
| 0 | Val = 0 => séquence avec lecture de TRIG_REC (normale) Val = 1 => séquence sans lecture de TRIG_REC (courte) |
| 1 | Val = 0 => séquence avec départ de la première colonne (normale) |

| |
|--|
| Val = 1 => séquence avec départ du STOP (faible profondeur de lecture) |
|--|

- **NB OF COLS TO READ** : ce registre de 8 bits donne le nombre de colonnes que l'on veut lire dans la matrice. Ce dernier peut être fixé entre 0 et 128. La valeur chargée par défaut est 128, ce qui correspond à la matrice entière.
- **CHANNEL MASKS** : chacun des 4 bits de ce registre valide individuellement une voie de la carte. Pour cela, ils doivent être mis à 1. A zéro, la voie correspondante est masquée et ses données ne seront pas enregistrées dans la RAM. Attention : cela modifie le format de la trame stockée dans la RAM (voir IV.3).
- **POST STOP LATENCY** : ce registre permet de programmer avec des pas de 2,5µs le temps pendant lequel on attend le signal de validation dans le mode où on utilise ce dernier pour déclencher la lecture des puces MATAcq vers la RAM. La valeur par défaut est de 10µs et la valeur minimum de 2,5µs.
- **POST LATENCY PRETRIG** : ce registre fixe avec des pas de 2,5µs le temps à attendre avant d'autoriser à nouveau le trigger suite à l'absence de signal de validation pendant la fenêtre définie par **POST_STOP_LATENCY**. La valeur par défaut ainsi que la valeur minimum sont de 2,5µs.
- **INTERRUPT** : ce registre mémorise l'arrivée de l'interruption qui signale la fin de la phase d'acquisition. Le signal **INTERRUPT** est propagé vers les bus, mais il peut aussi être lu ici. Et c'est également ici qu'il doit être acquitté et remis à zéro par un simple accès en écriture.
- **FP FREQUENCY**: ce registre de 1 bit permet de fixer la période de Fp. Il est initialisé à 1.

| Bits | Fonction |
|------|--|
| 0 | Val = 1 => F _{éch} = 2GHz. Val = 2 => F _{éch} = 1GHz. |

- **FPGA VERSION** : ce registre de 8 bits en lecture seule permet de lire le numéro de version du FPGA. Les 3 bits de poids forts donnent le type de la carte et les 5 bits de poids faibles le numéro de version du firmware chargé dans la PROM. Le code correspondant à la carte MATAcq32 est 3, ce qui donne une racine de h60 pour **FPGA VERSION**.
- **EN VME IRQ** : ce registre de 1 bit permet d'autoriser (1) ou non (0) la sortie de l'interruption de fin d'acquisition vers le bus VME sur **VME_IRQ3**.
- **NB OF BYTES TO READ IN BLOCK MODE** : pour les lectures en mode bloc par GPIB uniquement, ce registre de 16 bits permet de fixer le nombre de bytes contenus dans le bloc. Pour simplifier les accès en lecture à la RAM, on enverra ainsi dans la commande de lecture 4 bytes de données : le 1^{er} avec hFF, le 2^{ème} et le 3^{ème} avec respectivement les LSBs puis les MSBs du nombre de bytes à lire, et enfin le 4^{ème} avec la sous-adresse h0C de la RAM. Les MSBs puis les LSBs seront alors envoyés successivement. Ne pas oublier de doubler le nombre de données à lire dans la RAM lors du passage au nombre de bytes.

IV.5. Synoptique de la carte.

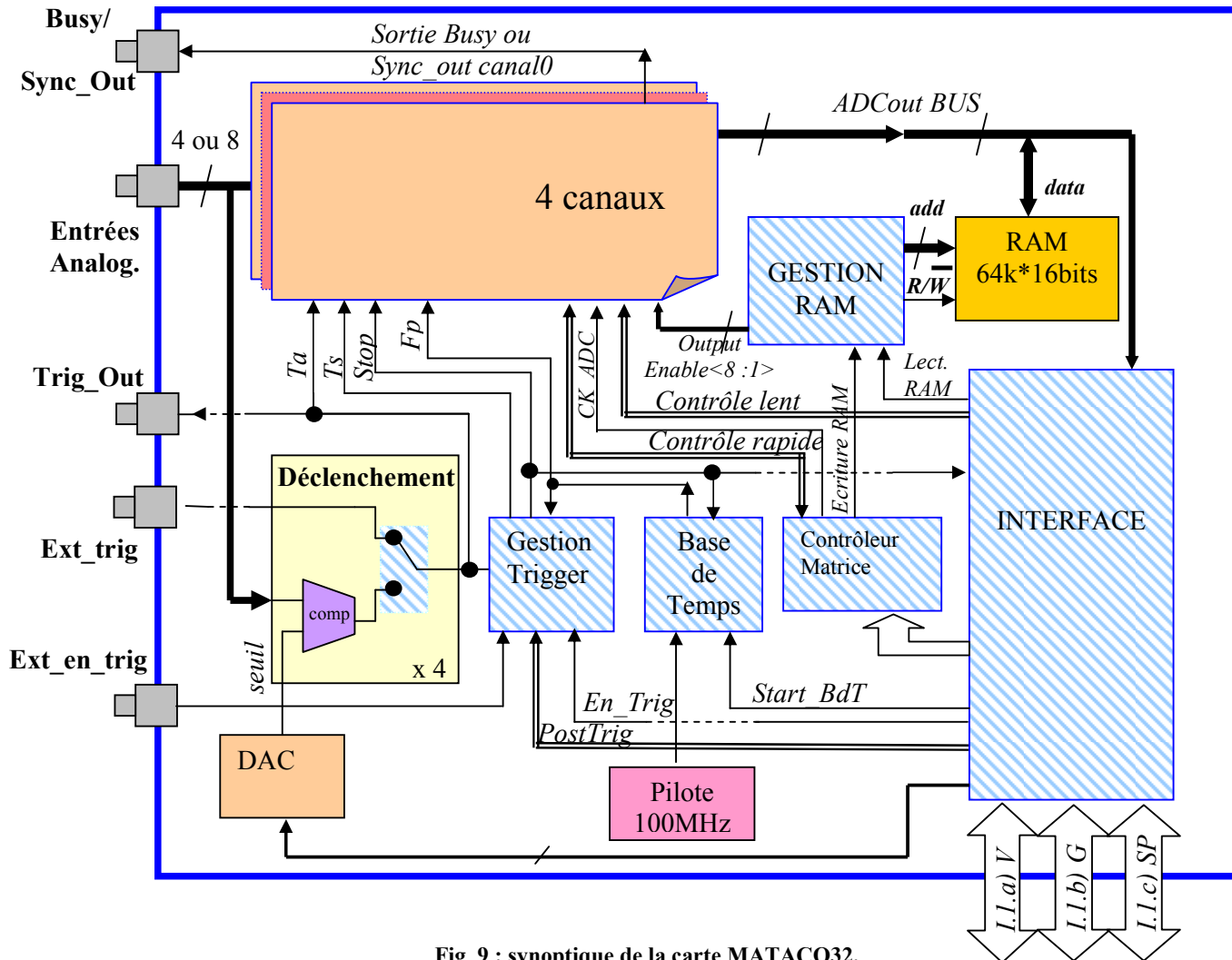


Fig 9 : synoptique de la carte MATAcq32.

L'architecture de la carte MATAcq32 (Fig 9) est modulaire. Cette architecture ainsi que les composants utilisés ont été sélectionnés de manière à minimiser les coûts de conception et de production de la carte. La carte est principalement constituée de six blocs :

- Les 4 canaux d'acquisition et de numérisation rapides (synoptique d'un canal en Fig 10).
- La gestion du déclenchement.
- La gestion des horloges.
- Le contrôle lent des puces MATAcq.
- La gestion de l'écriture et de la relecture de la mémoire numérique (RAM).
- L'interfaçage avec le système d'acquisition.

Les quatre derniers blocs (hormis la RAM elle-même) ainsi que la partie numérique du système de déclenchement sont intégrés dans un unique composant programmable (FPGA). Ceci réduit considérablement les coûts de production et permettra de faire évoluer aisément le système dans le futur.

Les différentes translations de niveaux logiques présentes sur la carte ne sont pas représentées sur le synoptique.

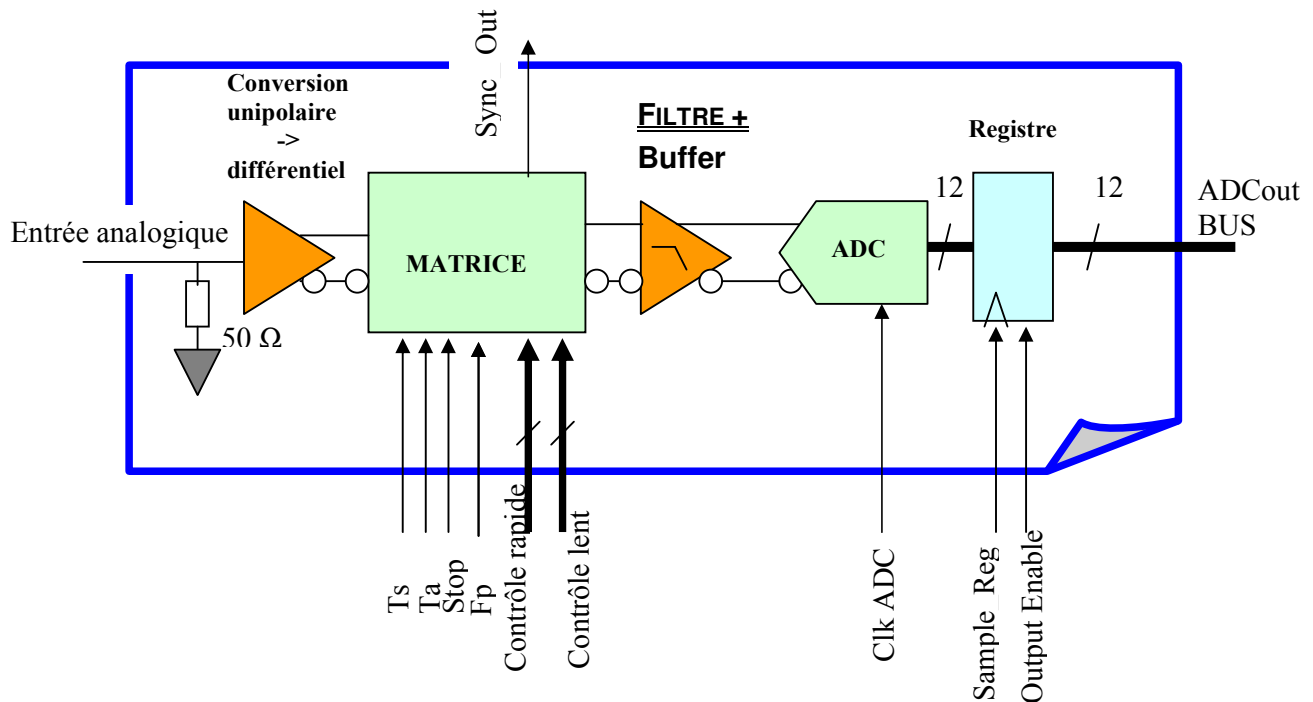


Fig 10 : Synoptique d'un canal d'acquisition de la carte MATAcq.

Le bloc élémentaire d'acquisition analogique est représenté en Fig 10. Il comprend :

- L'adaptation 50 Ohms de l'entrée.
- Un amplificateur large bande permettant d'attaquer la MATRICE en différentiel.
- La puce matrice.
- Un filtre limiteur de bande.
- L'ADC 12bits-5MHz, différentiel.
- Un registre permettant le multiplexage des données provenant des différents canaux vers la RAM.

V. SPECIFICATIONS.

Le tableau suivant résume les principales spécifications visées par la carte MATAcq32.

Signaux analogiques d'entrée

| | |
|------------------------------|-------------------------------------|
| Nombre de canaux | 4 |
| Impédance d'entrée | 50 Ohms |
| Gamme | +/- 0.5V |
| Bande passante | 300MHz |
| Rapport signal/bruit | >12bit RMS (bruit =180 μ V RMS) |
| Distorsion harmonique | <-60dB pour entrée sinus à 25MHz |
| LSB (pas de digitisation) | 0.25mV |
| Non Linéarité Intégrale | < 1 pour 1000 |
| Non Linéarité Différentielle | < 0.5 pour 1000 |

Gain relatif entre voies < +1%.

Echantillonnage

| | |
|---------------------------------------|--------------------------------------|
| Fréquence Max | 2Géch/s |
| Fréquence Min | 1Géch/s |
| Précision temporelle sur une voie | 15ps RMS typiques |
| Précision temporelle entre deux voies | 20ps RMS typiques |
| Profondeur par canal | 2560 points (dont 2520 exploitables) |

Déclenchement

| | |
|---------------------------|--------------------|
| Gamme de Réglage de seuil | +/- 1V |
| Pas de réglage du seuil | 0.5mV |
| Précision temporelle | 50ps RMS typiques* |

Conversion Analogique-Numérique

| | |
|---------------------------------------|---------|
| Fréquence de conversion | 5MHz |
| Résolution | 12 bits |
| Temps de vidage des matrices dans RAM | 650µs |

Acquisition

| | |
|----------------------------|--|
| Taux d'acquisitions (VME) | jusqu'à 500 acquisitions/s sur 4 voies complètes |
| Taux d'acquisitions (GPIB) | jusqu'à 100 acquisitions/s sur 4 voies complètes |

Signaux en face avant (TRIG_OUT, SYNC_OUT, TRIG_EXT)

Standard NIM (logique négative).

| | |
|--------------------------------|---------|
| Impédance d'entrée (TRIG_EXT) | 50 Ohms |
| Niveau bas max (1 logique) | -0.6V |
| Niveau haut min (0 logique) | -0.2V |

Alimentations

| | |
|----------------------|--------|
| Tension min « +5V » | 4.5V |
| Tension min « +12V » | 6.5V |
| Tension min « -12V » | -6.5V |
| Consommation +5V | 1.5A |
| Consommation +12V | typ 1A |
| Consommation -12V | typ 1A |

* inclus à la fois la précision de l'échantillonnage et celle du déclenchement.

VI. BIBLIOGRAPHIE.

[1] E. Delagnes, D. Breton , **Echantillonneur analogique rapide à grande profondeur mémoire.** Demande de brevet français n°01 05607 du 26 avril 2001. US Patent **6,859,375** from February 22nd 2005 : **Fast analog sampler with great memory depth.**